

PAT-NO: JP363222443A
DOCUMENT-IDENTIFIER: JP 63222443 A
TITLE: THIN FILM TRANSISTOR MATRIX ARRAY
PUBN-DATE: September 16, 1988

INVENTOR-INFORMATION:
NAME
OKABE, KAZUYA

ASSIGNEE-INFORMATION:
NAME COUNTRY
ALPS ELECTRIC CO LTD N/A

APPL-NO: JP62056126
APPL-DATE: March 11, 1987

INT-CL (IPC): H01L021/90, G09F009/30 , H01L027/12
US-CL-CURRENT: 257/692

ABSTRACT:

PURPOSE: To improve the yield rate, by making the width of one line of electrode wirings narrower than the width of the line at the other part, at the intersecting part of a gate electrode wiring and a source wiring electrode, and reducing the area of the intersecting part.

CONSTITUTION: The width of each line of a gate electrode wiring 12 and a source electrode wiring 13 at the intersecting part is formed so that the width is narrower than the width of a line at the other part. Narrow parts 12a and 13a are formed at the respective wirings. The overlapping

part of the wiring
12 and the wiring 13 at the intersecting part is only the
overlapping part of
the narrow part 12a and the narrow part 13a. Even if a
pinhole defect is
present in an insulating film 14, the probability that the
pinhole is
positioned just at the overlapping part of the electrode
wirings is 1/16 the
probability in a conventional device. Thus the yield rate
is improved.

COPYRIGHT: (C)1988,JPO&Japio

⑫ 公開特許公報(A)

昭63-222443

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和63年(1988)9月16日

H 01 L 21/90
G 09 F 9/30
H 01 L 27/12

3 3 8

W-6708-5F
C-7335-5C
A-7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタマトリックスアレイ

⑮ 特 願 昭62-56126

⑯ 出 願 昭62(1987)3月11日

⑰ 発 明 者 岡 部 和 弥 東京都大田区雪谷大塚町1番7号 アルプス電気株式会社
内

⑱ 出 願 人 アルプス電気株式会社 東京都大田区雪谷大塚町1番7号

明 細 書

1. 発明の名称

薄膜トランジスタマトリックスアレイ

2. 特許請求の範囲

ガラス基板上に、画素電極と薄膜トランジスタとの1組で構成される画素構成要素をマトリックス状に多数形成し、さらに、このマトリックスの行単位を構成する各画素構成要素における薄膜トランジスタのゲートに共通接続されるゲート電極配線と、前記マトリックスの列単位を構成する各画素構成要素における薄膜トランジスタのソースに共通接続されるソース電極配線とをそれぞれ形成させてなる薄膜トランジスタマトリックスアレイにおいて、

前記ゲート電極配線とソース配線電極とが交叉する部位において、これら電極配線の少なくとも一方の幅を他の部位の線幅よりも狭くしたことを特徴とする薄膜トランジスタマトリックスアレイ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜トランジスタをスイッチング素子とするアクティブマトリックス液晶表示装置に用いられる薄膜トランジスタマトリックスアレイに係り、特に、ゲート電極配線とソース電極配線との交叉部の改良に関する。

〔従来の技術〕

薄膜トランジスタをスイッチング素子とするアクティブマトリックス液晶表示装置は、2枚のガラス基板のうちの一方の基板上に共通電極を形成し、他方の基板上に画素電極と薄膜トランジスタとの1組で構成される画素構成要素を多数マトリックス状に配置してなる薄膜トランジスタマトリックスアレイを形成し、これら2枚の基板間に液晶層を形成したものである。

この液晶表示装置に用いられる薄膜トランジスタマトリックスアレイには、マトリックスの行単位を構成する各トランジスタのゲートに共通接続されるゲート電極配線と、マトリックスの列単位

を構成する各トランジスタのソースに接続されるソース電極配線とが設けられており、これら各電極配線は互いに交叉するようになっている。

従来のこの種の薄膜トランジスタマトリックスアレイにおいては、前記ゲート電極配線とソース電極配線との交叉部における各電極の線幅が他の部位の線幅と同じであった(例えば、特開昭59-82769参照)。

第5図は、このような従来の薄膜トランジスタマトリックスアレイの部分平面図、第6図は第5図のVI-VI線断面図、第7図は第5図のVII-VII線断面図である。これらの図において、符号1はガラス基板であり、この基板1上には、ゲート電極配線2、このゲート電極配線2と交叉するソース電極配線3、これらゲート電極配線2及びソース電極配線3にそれぞれゲート及びソースが接続された薄膜トランジスタ4、この薄膜トランジスタ4のドレインに接続された画素電極5がそれぞれ形成されている。そして、前記ゲート電極配線2とソース電極配線3との交叉部6においては、こ

れら電極配線2及び3の間に絶縁膜7が形成されて両者の短絡が防止されている。

[発明が解決すべき問題点]

ところが、このような従来の薄膜トランジスタマトリックスアレイにあつては、前記ゲート電極配線2とソース電極配線3との短絡による不良品の発生率が比較的高く、生産時の歩留まりが悪いという欠点があつた。本発明者等がこの原因について究明したところ、主たる原因は前記交叉部6の絶縁膜7にピンホール等の絶縁破壊要因となる欠陥が発生するためであり、さらに考究した結果、前記交叉部6の線幅が他の部位の線幅と同じ(約 $20\mu\text{m}$)であつて、該交叉部6の面積が比較的広く、それ故、絶縁破壊要因となる欠陥に当たる確率が高いためであることが判明した。

本発明は、このような解明結果に基づいてなされたものであり、したがって、本発明の目的は、このような欠陥に当たる確率を小さくし、上記欠点のない薄膜トランジスタマトリックスアレイを提供することにある。

[問題点を解決するための手段]

本発明は、ガラス基板上に、画素電極と薄膜トランジスタとの1組で構成される画素構成要素をマトリックス状に多数形成し、これら各トランジスタに制御電圧を供給するゲート電極配線とソース電極配線とを有する薄膜トランジスタマトリックスアレイにおいて、前記ゲート電極配線とソース電極配線とが交叉する部位において、これら電極配線の少なくとも一方の線幅を他の部位の線幅よりも狭くしたことを特徴とするものである。

これにより、ゲート電極配線とソース電極配線とが交叉する交叉部の面積が小さくなるから、該交叉部において両者の間に介在される絶縁膜の欠陥に当たる確率が小となり、歩留まりの向上が図れる。

[実施例]

第1図は本発明の実施例に係る薄膜トランジスタマトリックスアレイのゲート電極配線とソース電極配線との交叉部近傍の平面図、第2図は第1図のII-II線断面図、第3図は第1図のIII-III線

断面図である。

これらの図において、ガラス基板11上には、ゲート電極配線12(タンタル製)及びこのゲート電極配線12と交叉するソース電極配線13(アルミニウム製)が形成され、これらの交叉部においては、これらの間に水素化アモルファスシリコンからなる第1の層14aと酸化シリコンからなる第2の層14bの2層で構成される絶縁膜14が形成されて互いの短絡が防止されている。

そして、この交叉部における前記ゲート電極配線12およびソース電極配線13の各線幅は他の部位の線幅よりも狭く形成され、それぞれ狭幅部12a、13aが形成されている。この場合、前記狭幅部12aの長さは前記ゲート電極配線13の線幅より僅かに長く形成され、また、前記狭幅部13aの長さは前記狭幅部12aの幅より僅かに長く形成されている。したがって、前記ゲート電極配線12とソース電極配線13とは、その交叉部において重なり合う部分が狭幅部12aと13aとの重なり合う部分のみとなる。

上述の実施例において、例えば、各電極配線12、13の幅が $20\mu\text{m}$ である場合、前記狭幅部を $5\mu\text{m}$ とすれば、交叉部の線幅を他の部位の線幅と同一にした従来例に比較して各電極配線同士が重なり合う面積を $1/16$ にすることができる。したがって、仮に、前記絶縁膜14にピンホール等の欠陥があったとしても、そのピンホールがちょうど電極配線同士の重なり合う部分に位置する確率が従来の $1/16$ になる。これによって、電極配線同士の短絡による不良発生率が略 $1/16$ になり、その分生産時の歩留まりの向上を図ることができる。また、電極配線同士が重なり合う面積が小さいから、この間の容量が従来例に比較して小さいからその分応答性の向上が図れる。さらに、絶縁膜を2層構造としているから、短絡防止上有利である。

なお、前記実施例では、ゲート電極配線12の狭幅部12aの長さをソース電極配線13の狭幅部13aの長さより長く形成したが、これを逆にゲート電極配線12の狭幅部12aのほうを長く形成してもよいことは勿論である。また、第4図

当たる確率が小となり、歩留まりの向上が図れるというすぐれた効果を奏するものである。

4. 図面の簡単な説明

第1図は本発明の実施例に係る薄膜トランジスタマトリクスアレイのゲート電極配線とソース電極配線との交叉部近傍の平面図、第2図は第1図のII-II線断面図、第3図は第1図のIII-III線断面図、第4図は本発明の他の実施例を示す図、第5図は従来の薄膜トランジスタマトリクスアレイの部分平面図、第6図は第5図のVI-VI線断面図、第7図は第5図のVII-VII線断面図である。

11…ガラス基板、12…ゲート電極配線、12a…狭幅部、13…ソース電極配線、13a…狭幅部、14…絶縁膜。

出願人 アルプス電気株式会社

代表者 片岡勝太郎



に示されるように、両電極配線12、13の交叉部近傍の線幅を狭幅部12a、13aに近づけたことによって次第に狭くなるように形成しても良く、これによれば、線幅部12a、13aの長さを共に短くすることができる。

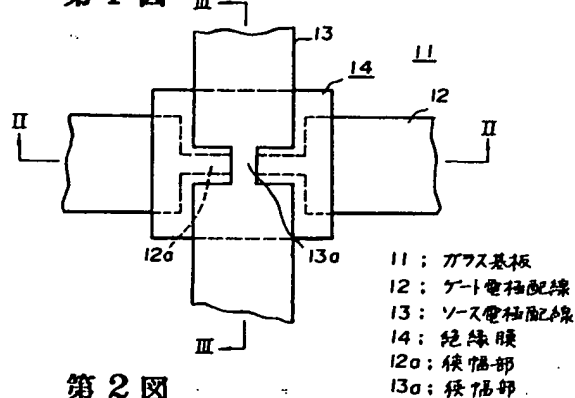
さらに、前記実施例では、絶縁膜14を2層構造としたが、これは1層構造でもよい。

また、前記実施例では、ゲート電極配線及びソース電極配線を単層配線構造としているが、これを2層配線構造としてもよく、これによれば、前記利点を維持しつつ断線等による不良品の発生率をも低くおさえることができる。

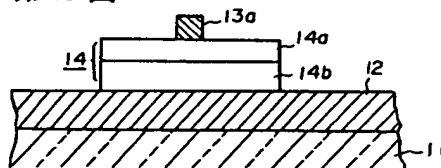
〔発明の効果〕

以上詳述したように、本発明は、ゲート電極配線とソース配線電極とが交叉する部位において、これら電極配線の少なくとも一方の線幅を他の部位の線幅よりも狭くしたことを特徴とするもので、これにより、ゲート電極配線とソース電極配線とが交叉する交叉部の面積が小さくなるから、該交叉部において両者間に介在される絶縁膜の欠陥に

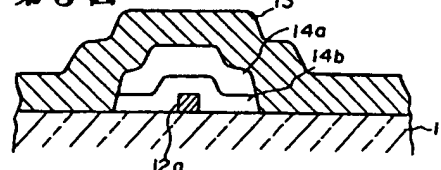
第1図



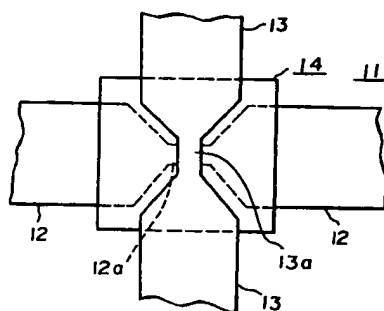
第2図



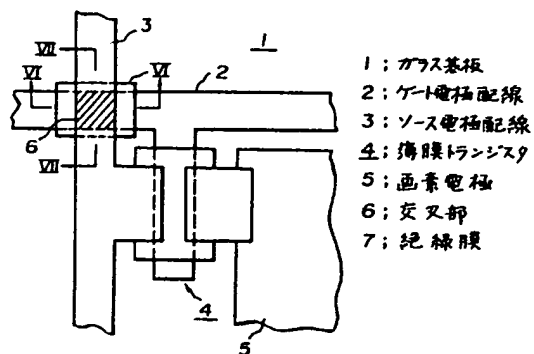
第3図



第4図

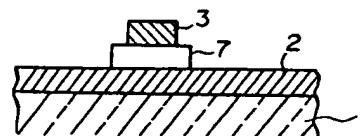


第5図



- 1: ガラス基板
- 2: ゲート電極配線
- 3: ソース電極配線
- 4: 薄膜トランジスタ
- 5: 画素電極
- 6: 交叉部
- 7: 絶縁膜

第6図



第7図

